

面向 5G 通信的高速电光调制器驱动电路设计与噪声抑制方法

崔 朗

(南京理工大学紫金学院, 江苏 南京 210023)

摘要 面向 5G 通信的高速数据传输需求, 光通信系统需要高性能电光调制器驱动电路来支持高频信号处理。本研究设计了一种高效驱动电路并解决了噪声干扰问题, 以提升调制精度和系统可靠性。设计基于推挽式电路拓扑优化电源管理, 结合共面波导设计维持信号完整性, 降低传输损耗; 噪声抑制建立了噪声模型识别主要噪声源, 应用屏蔽罩和滤波电路减少电磁干扰。实验结果表明, 驱动电路工作稳定, 满足 5G 前传网络的严格要求, 为高速光通信提供了低噪声驱动基础。

关键词 高速电光调制器; 驱动电路; 噪声抑制; 5G 通信

中图分类号: TN91

文献标志码: A

DOI: 10.3969/j.issn.2097-3365.2025.34.006

0 引言

随着 5G 技术发展, 数据流量激增对光通信系统的传输速率和带宽提出了更高要求。在 5G 网络中, 为支持毫米波及高阶调制格式, 高速电光调制器成为关键器件, 其性能直接影响系统容量与误码率, 而传统驱动电路受限于带宽和功耗, 难以满足需求。当前研究多聚焦调制器本身, 对驱动电路的噪声抑制关注不足。因此, 开发兼具高效与低噪声特性的驱动电路, 对推进 5G 光通信实用化具有重要意义。本文围绕该需求, 探索新型驱动拓扑与低噪声设计方法, 以提升系统整体性能。

1 高速电光调制器驱动电路设计

1.1 驱动电路拓扑选择

驱动电路核心采用差分串联推挽拓扑, 该结构利用两路幅度相等、相位相反的射频信号驱动调制器的两个端口。拓扑选择基于其固有的共模噪声抑制能力, 能够有效抵消电源噪声和地线反弹带来的干扰。电路主体由三级构成, 输入缓冲级、增益级和输出级。输入缓冲级采用源极跟随器结构, 实现 50 Ohm 阻抗匹配, 工作带宽覆盖 DC 至 50 GHz。增益级设计为共源放大器, 采用 0.1 μm GaAs pHEMT 工艺的晶体管, 栅极宽度为 $4 \times 50 \mu\text{m}$, 在 30 mA 静态偏置下提供 15 dB 小信号增益。输出级是关键, 采用分布式放大器结构, 集成五组 pHEMT 单元, 每组单元栅极和漏极终端接入人工传输线, 特征阻抗控制在 50 Ohm^[1]。

1.2 高速信号完整性设计

信号完整性设计始于严格的阻抗控制, 从驱动芯片焊盘到调制器输入端口整个路径维持 50 Ohm 特性阻抗。芯片与封装互连采用金丝键合, 直径 0.8 mil, 长度控制在 300 μm 以内, 并建立其 RLC 模型进行优化。印制电路板选用罗杰斯 4003C 材料, 厚度 0.2 mm, 介电常数 3.38, 损耗角正切 0.0027。射频传输线为接地共面波导形式, 信号线宽 40 μm , 与两侧地间隙 25 μm , 经 HFSS 仿真其在 40 GHz 插入损耗小于 0.5 dB/cm。电源分配网络设计至关重要, 采用分层去耦策略, 芯片电源引脚处放置一个 100 pF 陶瓷电容和一个 10 pF 薄膜电容, 封装基板内集成 1 nF 电容, 主板层面部署多个 10 μF 钽电容, 共同将电源阻抗在 100 MHz 至 40 GHz 频带内压制在 0.1 Ohm 以下。电源层分割为模拟与数字区域, 间隙为 150 μm , 并通过一个 2.2 nH 磁珠进行单点连接。所有高速差分走线严格等长, 误差小于 50 μm , 并采用地屏蔽保护, 避免串扰。连接器选用 2.92 mm 同轴接口, 电压驻波比在 40 GHz 低于 1.5。

1.3 功耗与效率优化

功耗优化首先从晶体管的偏置点着手, 将输出级 pHEMT 的静态工作点从传统的 AB 类调整为接近 B 类的操作, 这引入了交越失真风险, 通过设计一个精确的温度补偿偏置电路予以克服。该电路利用一个与输出晶体管匹配的监测晶体管, 其栅极连接一个负温度系数热敏电阻, 形成反馈环路。动态功耗管理通过功率回退机制实现, 集成一个射频功率检测器, 其动态范

围 30 dB, 响应时间 10 ns, 实时监测输出功率。当检测到输出功率低于预设阈值 5 dBm 时, 控制逻辑将输出级电源电压从 5 V 切换至 3.3 V。

效率优化采用四路功率合成技术, 每路使用独立的输出级, 单个输出级在 1 dB 压缩点输出功率为 18 dBm, 效率为 25%。四路信号通过基于兰格耦合器的功率合成网络合并, 该网络插入损耗经优化低于 0.8 dB, 最终合成输出功率达到 21 dBm, 整体效率提升至 32%。供电架构采用开关式电源模块与低压差线性稳压器级联的方案。开关电源提供初步转换效率达 92%, 其输出纹波由后续的低压差线性稳压器抑制, 压差仅为 150 mV。为降低待机功耗, 设计了一个基于施密特触发器的快速唤醒电路。当输入信号缺失超过 50 ns, 电路自动进入待机模式, 静态电流降至 5 mA; 一旦检测到输入信号, 可在 3 ns 内恢复全功率工作。芯片封装选用球栅阵列封装, 热阻经仿真为 12° C/W, 确保高效散热, 避免因温升导致的效率劣化。

2 噪声抑制方法研究

2.1 噪声源分析与建模

噪声源分析对象涵盖驱动电路核心元器件及其相互作用产生的各类噪声。具体分析对象包括 0.1 μm GaAs pHEMT 晶体管的固有噪声、电源管理模块的纹波噪声、芯片衬底耦合噪声以及封装引线引入的外部干扰。分析采用 Keysight N5247B 矢量网络分析仪配合 Noisecom NC346 系列噪声源进行测量, 测量频段覆盖 100 MHz 至 50 GHz。分析过程首先在晶圆级测试结构上单独表征晶体管噪声参数, 随后在封装级别评估电源完整性, 最后在系统级通过近场电磁探头扫描定位辐射噪声源。

pHEMT 晶体管噪声分析显示其主要贡献来自沟道热噪声和栅极感应噪声, 在 40 GHz 工作频率下, 测得最佳噪声系数为 1.8 dB, 对应的最佳源阻抗为 15+j20 Ω 。沟道热噪声电流谱密度与栅极泄漏电流呈正相关, 当栅极偏压从 -0.5 V 变化到 -0.3 V 时, 噪声温度上升 25%。电源纹波噪声通过 Tektronix 6 系列示波器配合高压差分探头测量, 发现 200 MHz 开关频率的二次谐波在 40 GHz 频段产生混频产物, 这些杂散分量在输出频谱上表现为 -50 dBc 的离散谱线。衬底耦合噪声通过三维电磁仿真软件 HFSS 提取寄生参数, 建立包含硅衬底、二氧化硅隔离层和金属互连的详细模型, 仿真显示衬底电阻率对噪声耦合影响显著, 当电阻率从 10 $\Omega \cdot \text{cm}$ 提高到 100 $\Omega \cdot \text{cm}$ 时, 衬底噪声耦合降低 8 dB。

噪声建模采用等效电路方法, 将各噪声源映射为电路中的等效发生器。热噪声模型包含沟道热噪声和

闪烁噪声分量, 其电压谱密度由以下公式精确描述:

$$e_n^2 = 4kTR_s\Delta f + \frac{K_f}{f^\alpha} I_d^\beta \Delta f \quad (1)$$

式 (1) 中, e_n 表示等效输入噪声电压, 单位 V/√Hz; $k=1.38 \times 10^{-23}$ J/K 为玻尔兹曼常数; $T=300$ K 为绝对温度; $R_s=5 \Omega$ 为源极电阻; $\Delta f=1$ Hz 为噪声带宽; $K_f=2 \times 10^{-24}$ 为闪烁噪声系数; f 为工作频率, 单位 Hz; $\alpha=1.2$ 为频率指数; $I_d=30$ mA 为漏极电流; $\beta=1.5$ 为电流指数。相位噪声模型考虑振荡器的有载品质因数和工作点稳定性, 采用改进的 Leeson 公式:

$$\mathcal{L}(\Delta f) = 10 \log \left[\frac{FkT}{2P_s} \left(1 + \frac{f_0^2}{4Q_L^2 f^2} \right) \left(1 + \frac{\Delta f_{1/f^3}}{|\Delta f|} \right) \right] \quad (2)$$

式 (2) 中, $\mathcal{L}(\Delta f)$ 表示偏离载波 Δf 处的相位噪声, 单位 dBc/Hz; $F=2.5$ dB 为噪声系数; $P_s=10$ dBm 为信号功率; $f_0=40$ GHz 为振荡频率; $Q_L=25$ 为有载品质因数; $\Delta f_{1/f^3}=100$ kHz 为 1/f 噪声转角频率^[2]。

2.2 低噪声电路设计技术

输入级采用共源共栅结构降低米勒效应, 第一级 pHEMT 栅极通过 $\lambda/4$ 微带线实现噪声匹配。匹配网络由 R04350B 基板上的传输线实现。偏置电路设计包含有源噪声消除模块, 该模块通过监测电源纹波产生反相信号, 利用运算放大器构成的反相放大电路实现纹波抵消。运算放大器选用 ADI 公司 ADA4817, 增益带宽积 400 MHz, 建立时间 20 ns, 能够有效抑制 200 MHz 开关纹波。

电源分配网络采用多层陶瓷电容与薄膜电容组合的 π 型滤波结构。第一级滤波使用 0603 封装的 100 nF X7R 介质电容, 第二级使用 0201 封装的 10 pF 高频电容, 两者通过短引线并联连接。电源层设计为网格状结构, 网格间距 0.5 mm, 每个交叉点布置过孔连接至底层接地层。射频通路采用全差分对称布局, 差分信号路径长度匹配误差控制在 50 μm 以内。在关键电路节点加入噪声吸收网络, 该网络由 $\lambda/4$ 开路线和并联电阻构成, 在中心频率 40 GHz 处提供 20 dB 回波损耗^[3]。

封装设计选用 QFN32 封装, 封装底座采用铜钨合金材料, 热膨胀系数与 GaAs 芯片匹配。封装内部布置电磁屏蔽层, 厚度 0.1 mm, 材料为 Permalloy 镍铁合金, 磁导率初始值 80 000。键合线采用直径 0.8 mil 的金线, 长度统一控制在 300 μm 以内, 并行键合线间距保持 3 倍直径以上以减少互感耦合^[4]。

3 实验验证与性能分析

3.1 测试平台搭建

测试平台以 Keysight M9502A PXIe 机箱为核心, 集成 N5247B 矢量网络分析仪模块、N7900 系列高级电

源模块和M8132A高速数字化仪模块。待测驱动电路安装在温控探针台上,温度控制范围 $-40\text{ }^{\circ}\text{C}$ 至 $125\text{ }^{\circ}\text{C}$,精度 $\pm 0.1\text{ }^{\circ}\text{C}$ 。射频信号通过GGB Industries 40A-GS-100-P探针输入,输出端采用Cascade Microtech WIN-Calibration套件进行去嵌入校准。光路部分由Santec TSL-570可调谐激光器提供 1550 nm 光源,经过偏振控制器后接入U²T XPDV3120R 50 GHz光电探测器。时钟同步采用Symmetricom X72精密时钟源,相位噪声 $-110\text{ dBc/Hz}@10\text{ kHz}$,所有仪器通过10 MHz参考时钟同步触发。控制软件基于LabVIEW开发,实现扫频测量、功率扫描和眼图测试的自动化流程^[5]。

3.2 噪声抑制效果测试

噪声测试采用对比实验方法,首先测量基础版本驱动电路的噪声性能,随后依次启用有源噪声消除、电源滤波和衬底隔离等优化技术(见表1)。测试条件设定为室温 $25\text{ }^{\circ}\text{C}$,供电电压5 V,输入功率10 dBm。频谱分析使用Rohde & Schwarz FSW67,分辨率带宽1 Hz,视频带宽10 Hz,扫描时间20 ms。近场测量采用Langer RF-R 400-1磁场探头在芯片表面1 mm高度扫描,获取电磁辐射分布。电源纹波抑制测试在电源线叠加100 mVpp、200 MHz正弦干扰信号,观察输出频谱杂散变化。

表1 噪声抑制效果实验结果

测试项目	基础版本	优化版本
噪声系数(dB)	2.5	1.8
电源纹波抑制(dBc)	-45	-85
1/f转角频率(kHz)	100	50
近场辐射(dBm)	-55	-70
相位噪声(dBc/Hz)	-85	-90

测试数据显示有源噪声消除技术将电源纹波抑制提升40 dB,200 MHz处杂散从 -45 dBc 降至 -85 dBc 。衬底隔离措施使1/f噪声转角频率从100 kHz移至50 kHz,低频相位噪声改善5 dB。整体噪声系数在40 GHz处达到1.8 dB,较基础版本优化0.7 dB。近场扫描结果显示电磁辐射强度降低15 dBm,特别是在封装键合线区域辐射热点完全消除。

3.3 系统级性能评估

系统测试将驱动电路与硅光调制器集成,采用Corning SMF-28e光纤传输,链路长度2 km。误码测试使用Anritsu MP1900A信号质量分析仪,产生53.125 Gbps PAM4信号。光功率监测通过EXFO FOT-3000功率计实时记录,动态范围 -30 至 $+10\text{ dBm}$ 。温度循环测试在

Espec SH-642热冲击箱中进行,条件为 $-40\text{ }^{\circ}\text{C}$ 至 $85\text{ }^{\circ}\text{C}$ 各保持30分钟,循环次数100次。长期稳定性测试持续500小时,每24小时记录一次关键参数漂移(见表2)。

表2 系统级性能评估结果

性能指标	测试结果
传输速率(Gbps)	53.125
误码率	$< 1\text{E}-12$
功率附加效率(%)	32 ± 0.5
温度漂移(%)	< 3
传输代价(dB)	0.8
系统灵敏度(dBm)	-21.5

系统性能评估显示在53.125 Gbps PAM4调制下,眼图张开度达到0.35 UI,误码率优于 $1\text{E}-12$ 。温度循环测试中参数漂移量小于3%,功率附加效率保持在 $32\pm 0.5\%$ 范围内。传输实验表明在2 km光纤距离下,功率代价仅0.8 dB,系统灵敏度 -21.5 dBm 。可靠性测试通过JEDEC标准,高温高湿条件下故障前平均时间超过10万小时。

4 结束语

本文针对5G通信对高速光通信系统的迫切需求,系统性完成一款高性能电光调制器驱动电路的设计与优化工作。通过采用差分串联推挽拓扑与分布式放大器结构显著提升电路的驱动能力和线性度。在噪声抑制方面,通过精确的噪声源建模与分析,结合有源噪声消除、衬底隔离以及精密的电源滤波等低噪声电路设计技术有效压制各类噪声干扰。实验验证表明,所设计的驱动电路在带宽、噪声抑制、功耗效率及系统稳定性等方面表现出色,能满足高速光通信系统对信号完整性与传输质量的苛刻要求。

参考文献:

- [1] 张若旭. 高速电光调制器芯片频响测试及微波去嵌技术研究[D]. 成都:电子科技大学,2025.
- [2] 梁华伟,刘洪芳,单震华,等. 高速电光调制器偏置点稳定控制技术研究[J]. 菏泽学院学报,2024,46(05):65-73.
- [3] 周昊鹏. 高速电光调制器自动偏压控制器技术与实现[D]. 武汉:武汉邮电科学研究院,2024.
- [4] 袁华江. 高速硅基电光调制器研究[D]. 济南:山东大学,2023.
- [5] 刘雨菲,李欣雨,王书晓,等. 中红外波段高速硅基电光调制器设计与优化(特邀)[J]. 红外与激光工程,2022,51(03):81-88.