

CMOS 高精度运算放大器性能影响因素研究

徐皓琛

(西安邮电大学, 陕西 西安 710061)

摘要 CMOS 高精度运算放大器在信号采集、传感接口与精密测控环节中承担着核心放大与误差抑制功能, 静态精度、动态特性与噪声抑制能力受器件物理属性、结构布局、工艺偏差及外部环境扰动的共同影响, 而高精度需求伴随应用边界扩大而变得更为敏感。本研究依托典型指标体系梳理关键性能表现, 并围绕阈值漂移、迁移率变化、补偿配置、电源纹波与 EMI 等因素进行系统性分析, 再结合参数调控、级联与补偿协同、工艺匹配与校准、电源完整性和隔离措施构建面向高精度场景的设计路径, 旨在为使运放在严苛条件下维持稳定、低噪与高线性度的综合性能提供参考。

关键词 CMOS 运算放大器; 高精度设计; 性能影响因素; 器件匹配; 噪声抑制

中图分类号: TP34

文献标志码: A

DOI: 10.3969/j.issn.2097-3365.2026.01.002

0 引言

运算放大器在模拟电路系统及数模混合信号电路系统中非常重要, 是电路系统中的基础功能模块, 对电路系统的各项性能指标实现起到关键性的作用。高精度 CMOS 运放的设计常在多维制约中展开, 静态误差、动态边界、噪声抑制和电源扰动等因素相互牵连, 使性能的稳定性更依赖器件物理特性、拓扑链路的调度方式与工艺偏差的承受能力。伴随电路密度的持续增加与工作环境的复杂化, 对精度边界的掌控逐渐从单点优化转向多层级协同, 使运放在大范围温度、电源与负载条件下仍维持可预测的行为, 从而构成模拟系统可靠运行的重要支撑。

1 CMOS 运放关键性能指标表征

1.1 静态精度类指标

静态精度类指标用于刻画运放在零频条件下的偏移与线性保持能力, 其中输入失调电压反映差分端在理想平衡条件下仍存在的电压偏差, 偏置电流与失调电流则从电流侧呈现输入级的不对称程度, 并在高阻源环境下对微弱信号准确性产生直接影响^[1]。温度引起的失调变化量以漂移速率量化运放在热条件变化中的直流稳定性, 是评价精密链路一致性的关键维度, 而输入与输出的直流线性度用于描述电压传递关系的比例保持情况, 使静态区间内的偏移与线性品质得以在多参数框架中获得可量化表征。

1.2 动态特性类指标

动态特性类指标聚焦运放在频域与瞬态条件下的响应能力, 增益带宽积以统一量衡揭示高增益与宽频带之间的能力边界, 相位裕度则依托环路相移余量展现系统在闭环工作下的稳定性幅度。压摆率通过过渡瞬态的最大变化斜率刻画大信号条件下的速度极限, 使动态过载情况下的上升沿与下降沿表现具有可比较性, 小信号带宽反映微幅信号在高频侧的有效传递范围, 大信号带宽则用于呈现较大幅度驱动时的频率覆盖能力, 两者共同构成运放在动态区间内的幅频结构, 使瞬态、稳定性与带宽表现形成可分层的技术刻度。

1.3 噪声与抑制类指标

噪声与抑制类指标用于呈现运放在干扰背景下的信号纯度与抗扰能力, 输入噪声密度以单位带宽噪声量显示底噪水平, 并为微弱信号链路提供等效噪声边界^[2]。积分噪声依托特定频段的累积量刻画整体噪声能量, 使有效信号的动态范围具有明确下限, 1/f 噪声拐点频率用于区分低频区间由闪烁噪声主导与高频区间由热噪声主导的结构, 并决定低频测量场景的可用噪声窗口。电源抑制比体现电源端纹波在输出端的衰减能力, 共模抑制比则以差分提取能力呈现共模干扰的压制水平, 使噪声与抗扰度在体系内获得独立而完整的表征坐标。

作者简介: 徐皓琛 (2004-), 男, 本科, 研究方向: 模拟集成电路设计。

2 CMOS 运放关键性能影响因素

2.1 器件层面影响性能的主要因素

器件层面的限制首先体现在阈值电压偏差上，栅氧厚度、掺杂浓度和沟道尺寸的微小差异会累积为输入失调、电流不平衡和跨导偏移，使相同偏置条件下各支路的工作点出现系统性偏离。沟道长度调制则在高增益设计中拉低输出电阻，电流源与放大管不再表现为理想高阻节点，导致增益随输出电压摆动产生隐性压缩，难以维持理论计算的直线关系，载流子迁移率伴随温度、应力和电场强度变化而波动，跨导、噪声功率谱与动态响应边界随之产生温区依赖；热噪声和闪烁噪声构成的噪声本征机制又以频段主导权的变化影响低频零漂和宽带底噪，使器件物理属性成为高精度性能的起点约束。

2.2 结构设计影响性能的关键因素

结构层面的影响集中体现在信号路径与增益链路的组织方式上，差分输入级在共模范围、对称性和输出摆幅上的差异，会让同一器件库下形成截然不同的偏移水平与共模抑制能力，有源负载结构在确定增益斜率的同时引入附加极点和非线性区间，使高增益与宽线性区间难以兼得^[3]。补偿网络的布置位置、补偿电容与电阻的组合关系直接改写环路极点与零点的分布，若高频极点与零点靠近或顺序不当，容易在单位增益附近压缩相位裕度，让系统处于亚稳态边缘，输出级拓扑在驱动能力、压摆能力与输出电压范围之间形成多维权衡，不同的源极跟随、共源或推挽结构在大信号条件下呈现迥异的负载适应性，使结构选择成为性能差异的显性来源。

2.3 工艺制造导致参数偏移的影响因素

工艺制造环节引入的失配与漂移往往在晶圆级别才被完整暴露，器件失配源于面积、间距与局部工艺场分布的微小差异，镜像结构与差分对在实际芯片上难以保持完全对称，使偏置电流和阈值电压形成统计意义的偏移。工艺角变化体现为工艺在快角、慢角及典型角之间的系统性波动，跨导、阈值、电阻率与寄生电容在不同角落组合下呈现成套改变，高增益与高速设计在某些工艺角下容易暴露出原本被掩盖的稳定性隐患。温度循环导致的长期漂移与封装应力共同作用，使器件参数在寿命周期内产生缓慢但不可忽视的迁移，蒙特卡洛分析给出的参数离散分布则揭示电路在批量生产条件下性能散布的边界，使工艺波动成为高精度设计不可回避的背景噪声。

2.4 外部环境引发性能波动的影响因素

外部环境对运放性能的干扰往往沿电源、电磁和热三条路径渗入，电源纹波经供电引脚、衬底和偏置

网络耦合到内部节点，在低频段表现为直流工作点的缓慢起伏，在高频段叠加为输出端的附加噪声与调制成分^[4]。EMI 辐射依托封装引线、走线回路和寄生电容形成耦合通道，高频脉冲和射频信号在敏感节点诱导瞬态电压，使本应平滑的信号轨迹出现毛刺或亚稳态抖动，地弹噪声多发生于数字逻辑或大电流切换场景，地参考电位的局部抬升破坏模拟前端的基准稳定性，片上或板级热分布不均又让不同区域器件处于截然不同的温区，使失调、电流与噪声特性在空间上呈现缓慢变化，从而在时间与空间两个维度叠加为高精度指标的漂移来源。

3 CMOS 运放性能提升的设计路径

3.1 器件层面设计路径：参数调控的技术实现

器件层面的设计关键在于把可掌控的物理参数做成可执行的调节路径，让失配、噪声与温漂在最初级的版图和器件选型阶段被限制在可控范围内，其中针对宽长比的调控宜让输入差分对保持较大的有效沟道面积，常见设计把 W/L 设置在 80/1.2 至 100/1.0 区间，使阈值电压的三倍标准差维持在约 1 mV，从而让输入失调在微伏级精度下具备更稳定的边界；为进一步压低电流镜的失配，可采用指状并联的小单元策略，把大面积管拆分成 6~10 个相同尺寸的小单元以弱化局部应力带来的迁移率差异，使电流比误差稳定在 0.1% 以内。在噪声方面，输入级宜布置长沟道低 1/f 噪声器件并与热源保持 10 μm 左右间距，让热耦合下降到原布局的一半，使低频噪声密度在 10 Hz 处维持在 20~25 nV/√Hz 区间；在温度特性上，可把关键管集中放在热分布均匀的区域并依托 dummy 管建立等温边界，使 -40 °C 至 125 °C 内的跨导变化趋于平滑并把温漂引起的失调变化压缩在 ±2 μV/°C 左右，并把关键偏置链路加入低漂移电阻单元，使温度导致的偏置变化不再放大输入噪声，从而在更宽的工作电流区保持稳定特性，进一步确保器件级调控在复杂应用场景中具有可重复性与可验证性，通过此类可落地的器件级调控，让后续结构级与补偿级动作建立在更稳定的基础之上。

3.2 结构设计实践方向：增益链路的级联与补偿

结构设计的核心在于让增益链路稳定性控制形成连续可调的结构路径，其中输入级的对称化处理应先通过跨导均衡来稳定小信号增益，可把差分对有源负载的跨导比控制在 1.1~1.2 区间，让输入级的增益分配具备更可控的斜率，再把输入级与电流镜级布成镜像对称并保持布线等长，使增益偏移减少到不足 1%；在输出阻抗的构建上，可依托共源共栅链路把有效输出阻抗从几十千欧扩展到数百千欧，通过把栅偏置定

在 0.2 ~ 0.3 V 的裕度区间, 让堆叠管在高电流密度下仍保持足够的跨导, 使增益在不开启更高功耗路径的前提下获得明显增强。补偿网络的设计宜以自适应方式加入频率调节结构, 把主补偿电容放在 1.5 ~ 3 pF 区间, 再布置一条可控零点路径, 使相位裕度稳定在 60° ~ 70°; 为保证在大范围负载下仍维持稳定, 可让补偿电阻具备 15% ~ 25% 的调节范围, 使闭环带宽在负载从 20 pF 上升至 200 pF 时仍保持平稳变化^[5]。同时在驱动路径加入局部隔离段, 让不同负载状态下的瞬态电流无法反向耦合到输入链路, 使中频段的相位波动得到明显削弱, 从而让补偿后的动态响应在复杂应用条件下更具可重复性, 输出级的设计可把驱动管布成跨区域平均的对称拓扑并控制驱动偏置的温漂, 使峰值驱动电流在 8 ~ 12 mA 区间保持稳定, 从而让线性度在大信号条件下维持在较小的失真边界内。

3.3 工艺协同实现方式: 偏差抑制与匹配校准

工艺协同的设计重点在于把器件离散性与工艺角波动压缩到可预测区间, 使运放在不同批次、不同温循环下仍维持稳定性布局, 在版图结构上宜采用共心与镜像的组合方式, 把差分对、电流镜及增益链路的关键器件保持在完全一致的应力环境中, 并让指状单元在中心对称轴两侧做严格镜像, 使 V_t 失配的 3σ 水平稳定在 1 ~ 1.5 mV; 工艺角变化可依托偏置自适应调节来维持跨导与偏置点的稳定, 把偏置电流的调整范围预设定在 $\pm 15\%$ 区间, 使在 SS 到 FF 角的跨导变化不再放大失调漂移, 并让增益变化维持在不超过 8% 的幅度内。温度补偿电路宜以局部温度敏感单元为基准, 通过在偏置路径中加入具有正温度系数的调节支路, 让 -40 °C 到 125 °C 的漂移被限定在 $\pm 2 \mu\text{V}/^\circ\text{C}$ 左右。另外, 把高功耗单元移至热扩散能力更好的区域, 使局部热点在上电后数秒内即可被平滑摊开, 从而避免热梯度触发额外失配; 而在长期偏差的处理上, 可让闭环校准单元依托片上参考节点做周期性微调, 把累积偏移控制在 100 ~ 150 μV 区间, 使老化后的参数变化不影响核心指标的边界。蒙特卡洛条件下的参数离散性可通过对关键器件面积的分级扩展与多片抽样校核, 使增益、PSRR 与 CMRR 的 3σ 浮动范围保持在可接受区间, 从而让工艺波动在量产条件下更易被验证与追溯, 使校准后的性能具备可靠的可重复性。

3.4 环境抗扰设计路径: 电源完整性与隔离策略

环境抗扰的核心在于让电源完整性、布线隔离与热均衡形成可执行的协同结构, 电源路径宜采用多级退耦把纹波耦合压缩在毫伏级范围, 可把片上 MIM 电容分成 20 ~ 50 pF 的小单元贴近偏置节点, 并在一级电源口加上 1 ~ 2 nF 的中频退耦, 使电源阻抗在 100 kHz

至 5 MHz 区间维持在较低水平, 再把高频退耦布置在输出级附近提供快速电荷回补, 使 PSRR 在高频段不出现突降。EMI 抗扰布局可依托屏蔽金属层与差分走线的组合方式, 让输入级的敏感节点受外部辐射的影响下降至少 10 dB, 在此基础上可对长距离布线段加入对称护线, 让辐射耦合在源端即被削弱, 从而避免干扰在中频区形成二次放大, 并通过把高 dv/dt 节点以最短路径收敛到局部的回流区域, 使电场耦合不再扩散到跨级链路; 同时把数字噪声源与模拟核心保持在 30 ~ 50 μm 的最小隔离距离, 并把地平面对切割成独立的模拟与数字回流区, 再在单点位置完成汇合, 让地弹噪声在跨域传播过程中被充分衰减。对于回流路径本身, 可让高频电流沿最小阻抗通路回到源点, 并对关键信号线加入护线结构, 使耦合噪声下降至原设计的一半, 热均衡部分可依托扩散金属条把热点区域温差压缩在 3 ~ 4 °C 区间, 使温度梯度不再放大输入级的偏移波动, 通过此类连续动作把外部扰动限制在可管控范围, 使电源噪声、EMI 与热分布产生的参数波动不再侵入核心增益链路。

4 结束语

CMOS 运放的高精度构建依托器件本征规律、拓扑结构调度与工艺协同动作在同一框架内形成稳定约束, 使静态精度、动态特性与噪声抑制在复杂条件下依旧维持清晰边界。伴随参数离散性的不断累积, 设计者需要使匹配、补偿与抗扰路径在不同尺度上保持连贯, 使偏置场景、温度梯度、电源波动与辐射干扰都无法打破关键指标的平衡关系, 由此使增益链路具备更坚韧的可预期性。运放的高精度能力并不来自单一技术, 而来自多个层面的互补作用, 只有在器件、结构、工艺与环境的多维耦合中形成稳固逻辑, 精密模拟性能才会展现出可持续的可靠性。

参考文献:

- [1] 杨彦杰. CMOS 毫米波射频前端放大器的研究与设计 [D]. 广州: 广东工业大学, 2025.
- [2] 袁璐, 李德建, 赵玉霄, 等. 基于 180nm CMOS 工艺的 700M-900MHz 低噪声放大器 [C]// 中国电子学会. 2025 年全国微波毫米波会议报告集 -WP4T. 北京: 智芯微电子科技有限公司, 清华大学, 2025.
- [3] 付玉. 高精度低噪声集成运算放大器研究 [D]. 贵阳: 贵州大学, 2025.
- [4] 胡望恒. 基于 CMOS 工艺的 X 波段功率放大器设计 [D]. 杭州: 杭州电子科技大学, 2025.
- [5] 谢邗. 一种开关电容相位补偿的 CMOS 可变增益放大器设计 [J]. 集成电路应用, 2025, 42(03): 22-26.