

基于扫描链的数字集成电路测试与故障诊断方法研究

邱子涵

(矽力杰半导体技术有限公司, 浙江 杭州 310000)

摘要 数字集成电路在规模扩张和工艺节点压缩的双重作用下, 测试时间、功耗与故障覆盖率之间的矛盾日益尖锐, 亟须引入一套依托扫描链结构的可测试性设计与故障诊断思路。本研究在系统梳理扫描链结构形式、插入策略与测试向量生成流程的基础上, 分析了低功耗测试、数据压缩、在线监测等新型技术路径, 剖析了不同方法在覆盖率、测试成本和诊断精度方面的差异。研究表明, 基于扫描链的测试框架可以在控制测试数据规模和功耗风险的前提下显著提高内部故障可观测性和定位精度, 为复杂芯片的量产测试和运行管理提供技术参考。

关键词 扫描链; 数字集成电路测试; 故障诊断; 低功耗测试

中图分类号: TN79

文献标志码: A

DOI: 10.3969/j.issn.2097-3365.2026.01.010

0 引言

数字集成电路已成为信息基础设施、消费电子和汽车电子等领域的关键支撑。随着集成度不断增加和工艺尺寸持续缩小, 工程实践在测试难度、质量可靠性和成本控制之间承受了更为明显的压力。传统依赖功能验证的测试路径在面对复杂控制逻辑和深层次状态空间时往往难以兼顾覆盖率与效率, 设计团队开始依托可测试性结构在电路内部嵌入扫描链, 对关键寄存器和控制路径进行重构, 以期在测试阶段便能获得更高的可控性和可观测性, 为故障定位和质量评估提供更清晰的数据依据。

1 扫描链数字测试技术的基本框架与关键要素

1.1 扫描链结构形式与工作模式概述

扫描触发器在结构上较普通触发器多出扫描输入端(SI)与扫描使能端(SE), 这两项改进为测试信号在电路内部的有序传递提供了路径。当扫描模式被激活时, 所有触发器被串联为一个长移位寄存链, 外部测试信号可按时钟节奏依次加载到每个节点, 实现内部状态的直接控制, 有效提升测试响应可观测率。

单扫描链结构一般适用于中小规模电路, 其信号路径简单但移位时间较长; 多扫描链结构则能将测试路径并行化, 可在相同时钟频率下显著缩短加载周期, 分层扫描结构适用于系统级芯片, 它可将模块级扫描链分区连接至顶层控制单元, 以平衡布线复杂度和信

号同步需求。整个测试过程需依次经历“移位—加载—捕获—读出”四个阶段: 先将测试向量移入寄存器, 再加载至逻辑电路, 捕获响应后再顺序读出结果。

1.2 可测试性设计流程与扫描链插入策略

工程实践通常在逻辑综合完成后启动可测试性设计流程, 将普通触发器替换为扫描触发器, 结合设计规模和结构特点规划扫描链数量, 随后在版图阶段对链路走线、时钟树与布线拥塞进行协同校正, 并在约束文件中统一描述测试时钟、扫描使能和输入输出端口的关系在多时钟域电路中需要优先明确各时钟域的边界。针对异步域设置锁存或桥接单元, 在复位信号较多的电路中需要审慎处理同步复位与异步复位的配合方式, 在包含大量锁存器的路径上需要采用扫描替代结构或局部旁路结构, 以保证扫描模式下时序关系与功能模式保持一致^[1]。常见的扫描链划分策略包括按模块划分、按时钟域划分和按物理邻近程度划分, 按模块划分有利于后期调试定位但链长差异较大, 按时钟域划分便于统一测试时序但对跨域逻辑要求较高, 按物理邻近程度划分可以有效控制布线长度和寄生效应, 在实际设计中往往依托可测试性设计与扫描插入工具对链路数量、链长差异和物理分布进行综合权衡, 以获得兼顾版图实现与测试需求的折中方案。

1.3 测试向量生成方法与故障覆盖指标说明

自动生成测试向量的基本思路是由工具在给定电路结构和目标故障条件下, 逐步推导需要施加在输入

作者简介: 邱子涵(1997-), 男, 本科, 研究方向: 集成电路测试。

端的比特组合，再判断哪些内部节点必须翻转，才能在输出端形成可区分的响应。设计团队在使用此类工具时通常需设置约束条件，限定时钟关系、复位状态和非法输入组合范围，新一代测试工具还可引入搜索剪枝、学习辅助等技术，缩短搜索路径并减少无效向量数量。

常见故障类型在工具内部可被抽象为“节点始终为0或1”“信号过慢导致边沿错位”“短路导致两个节点行为相同”等模型，这些模型能让测试向量生成过程更集中地覆盖典型失效场景。在评价测试质量时通常先关注故障覆盖率、测试长度和测试时间等指标，故障覆盖率反映被成功检测出的故障比例，测试长度对应需要移入和读出的向量总量，测试时间则综合考虑扫描时钟频率和链路数量，工程实践往往需要在较高覆盖率和可接受的测试周期之间找到折中方案，为低功耗和压缩技术的应用留出空间。

2 新型扫描链测试优化技术与复杂电路适配方法

2.1 面向低功耗与低噪声的扫描链测试优化技术

在大规模扫描测试过程中，测试向量会在短时间内推动大量内部节点反复翻转，芯片电源网络容易出现瞬时电流峰值和电压波动，量产阶段往往需要在测试覆盖率、测试时钟和供电裕度之间反复权衡，一旦峰值电流过高，电源跌落和地弹噪声就可能引发误判甚至损伤芯片，这一情况在工艺进入7 nm及以下节点后表现得更加突出。围绕功耗与噪声问题，可测试性设计和测试向量生成工具逐步引入了针对性的低功耗技术路径，典型做法包括对测试向量进行重排，将切换较多的向量分散到不同批次，并在扫描链中采用分段移位的方式，让不同段链路在不同时刻接收数据^[2]。部分项目还会在测试控制器中配置分时测试策略，为不同模块分配错峰的移位窗口，测试过程不再同时驱动全部扫描链，而是按预设组合轮流启用，以压缩同一时刻翻转的节点数量。

在测试时钟频率和扫描链并行数量的选择方面，需结合功耗估算结果和ATE设备能力设定上限，常用思路是适度降低测试时钟或在高功耗模块附近减少并行链条数量，借助功耗感知的自动向量生成工具预估每个测试周期的翻转密度。新一代测试平台已逐步将功耗和噪声约束纳入测试计划编制过程，在生成向量时同步考虑链路分布、移位顺序和观测时间点，以在不显著拉长总测试时间的前提下压低电源干扰风险，为高密度芯片在量产环节维持稳定良率提供更可靠的测试环境。

2.2 面向大规模系统芯片的扫描链分组与数据压缩方案

在大规模系统级芯片中，扫描链数量往往达到数百条甚至上千条，如果直接把所有扫描响应完整送到外部测试设备，测试数据量会急剧增大，设计团队在这类项目中通常会采取“数据缩减”和“链路分组”的要求，即在芯片内部先对测试数据进行整理和压缩，再将有限数量的观测结果输出到芯片边缘，将ATE侧的数据吞吐压力控制在可接受范围内。

输入压缩的基本思路是由少量外部测试通道驱动片内的解压网络，这个网络可将有限比特扩展为多条扫描链需要的刺激序列，输出压缩则将多条扫描链的响应信号经由简单逻辑组合或线性压缩结构汇聚到少量观测端口。此类虽能显著减少对引脚和存储资源的依赖，但也会带来结果混叠风险，即不同故障场景在压缩后可能出现相同观测值，需要在压缩比和混叠概率之间设定约束，并在必要时为关键模块保留额外的直连观测路径。

在分组策略方面，工程实践常按功能模块、按时钟域或按物理邻近程度进行分组，把结构相似、时序关系接近的扫描链划入同一组，再为每组配置相对独立的压缩网络，以缩短布线长度并减轻局部拥塞^[3]。压缩网络结构一般采用层次化设计，上层负责将多组响应先在组内压缩，下层再把若干组的结果进一步汇聚，观测点选取优先覆盖关键信号路径和故障敏感节点，新一代可测试性设计工具已经能够在同一平台内协同审视链路分组、压缩结构和观测点分布，以“兼顾数据量、诊断精度与电路复杂度”为目标，输出更贴合故障诊断需求的综合优化方案，为定位和修复工作打好基础。

2.3 面向安全与可靠性的扫描链保护与容错设计

扫描链在增强内部节点可观测性的同时也会暴露电路结构和运行状态信息，在涉及密码算法、身份认证和安全存储等敏感场景时，如果调试端口长期保持开放状态，攻击者就可能借助扫描链推断秘钥或窃取配置信息。工程实践需重视访问权限控制，依托加密认证的测试控制器限定测试模式触发条件，在量产阶段仅保留少数受控入口，在出厂后对部分扫描路径进行锁定或裁剪，以压缩潜在攻击面。

常见的安全措施包括在扫描路径中增加简单加扰或屏蔽机制，将关键寄存器的真实内容与掩码数据混合输出，或者只暴露经过抽取与重编码的有限比特，让外部观察者难以还原完整内部状态，新型方案还能

将安全相关寄存器从公共扫描链中独立隔离,仅在受信环境下短时开启专用测试通道^[4]。芯片在长期运行和高温、辐照等恶劣环境下,扫描触发器本身也可能出现老化或偶发错误,设计可在规划阶段预留冗余链路和旁路结构,引入定期自检序列和简单纠错逻辑,对扫描路径的连通性和数据可靠性进行在线审视,以在测试能力、安全需求与长期可靠性之间形成更稳妥的平衡。

3 基于扫描链响应的故障诊断方法与工程应用

3.1 基于测试响应特征的故障快速定位与分类方法

在扫描测试阶段,测试设备可记录每条扫描链在“移位—捕获—读出”过程中得到的响应序列,设计团队再将这些序列与事先计算好的预期结果一一对比,根据错误比特出现的链路位置和轮次,初步判断故障更可能落在某一逻辑模块或某一类型节点上,这一过程主要借助“偏离模式”推断故障大致范围和性质。工程实践中常用的诊断方法包括基于模式匹配的故障指纹库,即将历史故障对应的错误分布特征保存为模板,在新测数据到来时寻找最接近的指纹;也包括基于统计特征的聚类与简单机器学习模型,将错误数量、分布跨度、是否集中出现在关键路径等信息组合为特征向量,从大量样本中抽取具有代表性的故障类型^[5]。在设计方案选择时还需要在诊断速度、定位精度和实现复杂度之间寻找平衡,在量产测试场景更看重快速筛出高风险芯片并给出粗粒度分类,在失效返修和质量追溯场景则更依赖精细的特征提取和多轮交互诊断,为版图优化和工艺调整提供依据。

3.2 面向在线监测与老化评估的扫描链诊断扩展

在面向高可靠性的设计中,系统在运行阶段会保留一定扫描测试能力,控制逻辑可以在业务负载较低的时隙短暂切换到测试模式,对若干关键模块执行状态采集,这一做法依托已有扫描链结构,能在不明显打断业务的前提下获得内部健康信息。长期运行条件下,温度循环、供电波动、电磁干扰和机械振动可能会引起门电路延迟、阈值电压和泄漏电流缓慢变化,通过定期记录扫描响应并与早期基线数据对比,能够更早发现时序裕度缩小或某类路径错误概率上升的趋势。

在在线监测场景中,通常不沿用完整量产测试序列,而是围绕关键路径和关键寄存器构建长度更短的健康检查序列,这些序列重点覆盖时钟网络、电源敏感单元以及安全相关逻辑。监测控制器可以按小时或按天发起有限轮次扫描,并结合温度、电压等传感器读数给出综合评估结论,在这一过程中需要兼顾额外

时钟周期和功耗开销与诊断效果之间的平衡,让芯片既能保持适度的自我诊断能力,又能够维持长期稳定运行。

3.3 典型应用场景与工程实践经验梳理

在某数字信号处理芯片项目中,设计团队在早期便按功能模块和时钟域规划了数十条扫描链,在测试阶段依托压缩向量库和分组诊断策略对滤波、控制和接口模块分别设置了不同的测试强度,工程人员在调试现场通过对比扫描响应错误分布和功能仿真结果,很快就锁定了乘加单元中的若干边界寄存器问题。通信控制芯片和片上系统项目中还出现了测试时间偏长、峰值功耗偏高、诊断结果对工艺批次敏感等代表性问题,项目组通过缩短低价值向量序列、调整扫描链并行数量、细化故障指纹库等手段进行了修正,在不更改主功能结构的前提下将单片测试时间压缩了约三分之一。这些实践表明,工程团队如果能够在架构阶段就预留测试结构空间,在版图收敛阶段保持设计与测试岗位的高频沟通,并在每一轮量产后认真整理测试与诊断数据,就能在后续改版中形成稳定的经验闭环,为新项目的扫描链规划和故障诊断策略提供可复用的参考框架。

4 结束语

在工艺尺度持续缩小和应用场景愈加多元的语境下,基于扫描链的测试与故障诊断已经从单一工艺辅助环节转变为贯穿架构规划、实现落地和寿命管理的共同约束,当设计团队能将测试视为电路功能的一部分时,就能在结构抽象阶段预留监测与诊断通道,将制造过程中的不确定性转化为可观测的工程变量。面向新一代高密度芯片,扫描链相关技术只有在功耗、数据规模、安全性与在线监测需求之间持续寻找动态平衡,才能为长期可靠运行构建更坚实的基础。

参考文献:

- [1] 肖光旭.基于多通道边界扫描的模数混合电路测试技术研究[D].哈尔滨:哈尔滨工业大学,2025.
- [2] 戚萧榕.基于扫描测试的IP核可测性设计方案与功耗优化[D].西安:西安电子科技大学,2024.
- [3] 黄小妹.数字电路系统可测性设计(DFT)技术实现方法研究[J].电子制作,2022,30(14):86-88.
- [4] 李华伟,李晓维.电子设计自动化中的数字电路测试技术[J].微纳电子与智能制造,2021,03(02):28-35.
- [5] 向韬鑫,王仁平,刘东明,等.多电压与扫描链技术在芯片设计中的应用研究[J].电气技术,2020,21(06):35-38.