

一种高性能八通道 CAN 集线器方法

阳乐凯

(广州致远电子股份有限公司, 广东 广州 510641)

摘要 以 CAN 总线为基础的控制系統已经是当今主流工业自动化控制系统之一。CAN 总线采用总线型网络拓扑结构受到了很多人的认可, 但是, 随着 CAN 总线进入某些特殊行业, 总线型网络拓扑结构的弊端变得越来越突出, 限制了 CAN 总线在这些领域的应用。CAN 集线器能实现多个 CAN 网络的透明连接, 可以在总线级别实现复杂结构的多点连接, 使得主干网络没有支线长度限制, 网络中任意两个节点可以到达协议距离。每个端口都有独立的 CAN 收发器, 能倍增节点数目, 在提供自由的布线方式的同时, 也解除了系统总线上 CAN 收发器最大节点数驱动限制。

关键词 集线器 多节点连接 透明转换

中图分类号: TP2

文献标识码: A

文章编号: 1007-0745(2022)12-0004-03

我们知道, 强大的网络可以为系统的稳定运行提供可靠的保障, 通信网络可以认为是控制系统的中枢神经系统。CAN 总线控制系统的网络搭建应在早期给予足够的重视, 做到网络总体规划, 合理设计及安装, 总的来说, 网络搭建需要做好以下几个步骤的工作才能保障总线长期稳定的运行。

本产品实现 8 通道 CAN 集线器功能, 实现 8 个通道 CAN 帧接收、缓存、帧映射、帧转发等功能。通过 UART (USB 或 RS232) 使用类似 ModBus 协议与上位机通信, 实现 CAN 集线器的功能配置。CAN 集线器能实现多个 CAN 网络的透明连接, 可以在总线级别实现复杂结构的多点连接; CAN 集线器使得主干网络没有支线长度限制, 网络中任意两个节点可以到达协议距离, 该设备具有 8 个通信端口, 每个端口都有独立的 CAN 收发器, 能倍增节点数目, 因此, 在提供自由的布线方式的同时, 也解除了系统总线上 CAN 收发器最大节点数驱动限制。每个端口还具备检测总线活跃及总线故障指示灯, 方便观察 CAN 总线网络工作状态。CAN 集线器可用于波特率高达 1Mbps 的 CAN 网络, 所有通道均可在不同的波特率下工作, 其符合 CAN 规范 2.0A (11 位 CAN 标识符) 和 2.0B (29 位 CAN 标识符), 支持透明的, 协议独立的 CAN 消息传输, 使其适用于多种应用。^[1]

1 总体框图

整个系统采用 FPGA+SJF1000 方式, FPGA 负责将 SJA1000 的 CAN 数据波特率、路由表、滤波表、帧映射的规则进行各路之间的转发, 通过 FPGA 的串口实

现产品的配置和监控。本设计主要实现 8 通道 CAN 的集线器功能, 实现 8 通道之间的转发和帧映射功能, 实现框图见图 1。主要由 wishbone 仲裁部分和 AXI 互连部分各模块组成。

wishbone 部分各模块实现 8 通道 sja1000 的管理。LocalBus 主要实现与 8 通道 sja1000 的通信; 中断控制实现对 sja1000 中断的接收和管理; 错误处理模块实现各通道的错误自动处理; 接收控制和发送控制配合集线器逻辑实现本设计的核心功能——帧缓存、帧映射和路由等功能; axi2wb 模块为通过 AXI 配置各通道 sja1000 提供接口, 实现 Microblaze 对各通道 sja1000 的配置。^[2]

AXI 互连部分主要实现上位机对集线器功能的控制。其中 ModBus 模块主要实现通过 UART 与上位机通信, UART 可以通过 USB 或 RS232 两种 UART, 两种 UART 会自动切换, 当有 USB 插入时则使用 USB 转 UART 的 ft232 的串口, 没有 USB 插入时则自动切换到 RS232 的串口来通信; 加密和 DNA 模块主要实现对固件的加密; flash 模块主要实现信息的存储, 包括固件、配置信息和加密信息等; 交互模块主要实现对外设的控制和与上位机的交互操作; axi2wb 模块实现对各通道 sja1000 的配置接口; Microblaze 用于实现以上功能的控制和与上位机的交互, 上电后实现对固件的加密验证, 实现从 flash 读取上位机的配置并将其配置到指定的 sja1000 中或集线器逻辑中, 并通过交互模块对其它各外设的控制和与上位机的交互。

集线器逻辑实现帧缓存、帧映射和转发等功能。

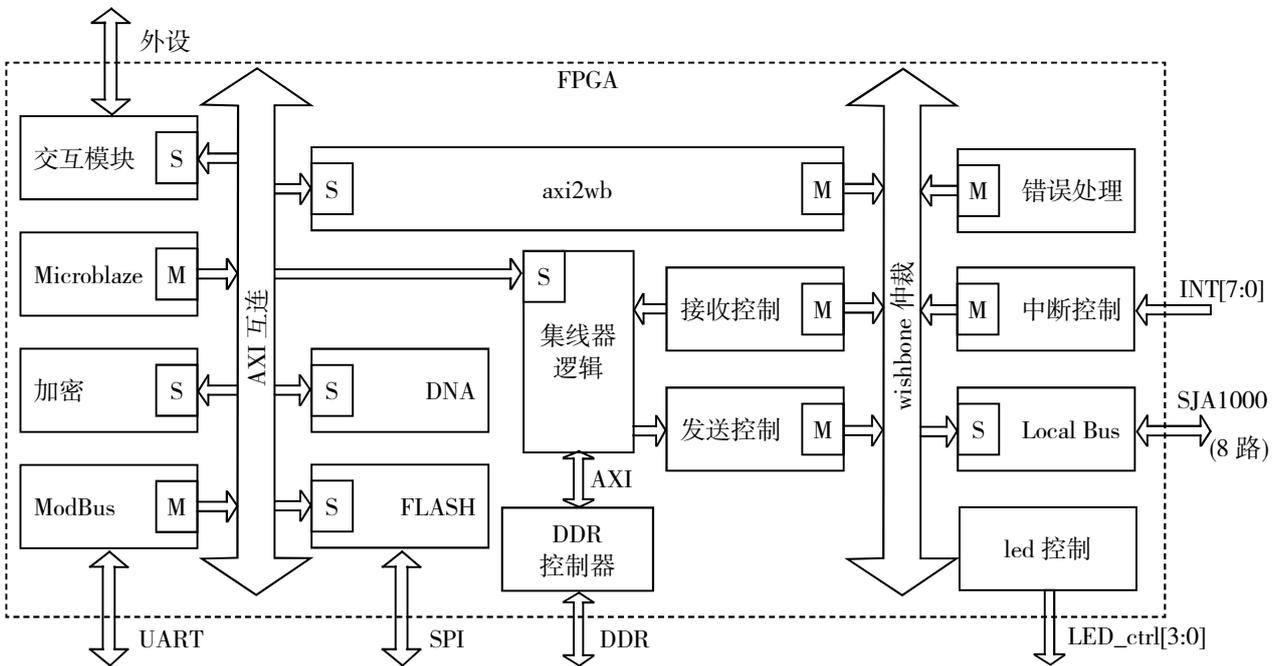


图 1 内部设计框图

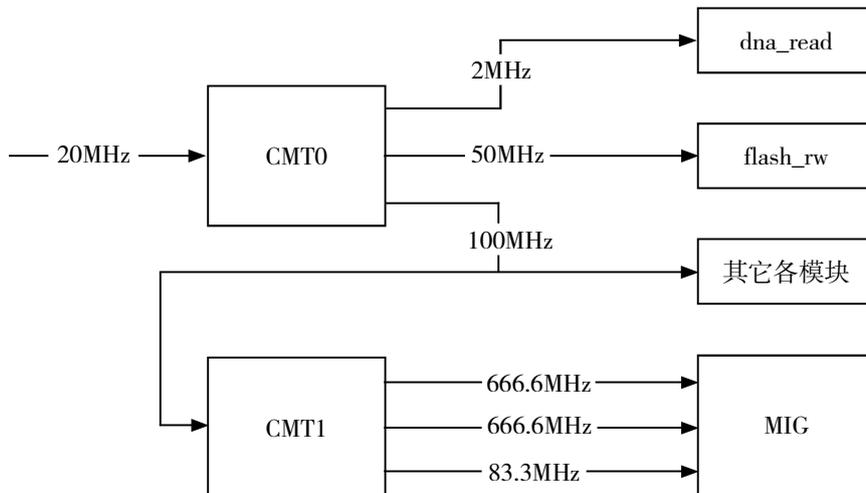


图 2 各模块时钟关系

集线器逻辑从接收控制模块接收帧后通过 AXI 接口和 DDR 控制器将帧缓存到外部 DDR3 中；当能发送时从 DDR 中读取出来，并根据配置来映射帧并转发到设置的通道中，通过发送控制模块发送到 sja1000。

2 设计实现

2.1 各模块时钟关系

本设计中各模块时钟关系如图 2，外部输入时钟 20MHz，通过 CMT0 生成 100MHz 主时钟到各模块；同时也输入到 CMT1 中用于生成 MIG (DDR 控制) 的各

时钟 (666.6MHz 差分时钟和 83.3MHz 时钟)；另外，由于 flash 最大支持 80MHz，这里使用 CMT0 生成的 50MHz 时钟；DNA 读取模块中 DNA 原语 (Spartan-6) 中最大只支持 2MHz，所以 DNA 模块使用 CMT0 生成的 2MHz 时钟读取器件 DNA。

2.2 内部详细结构

CANHub-AS8 内部详细结构如图 3，sja1000 控制模块主要有 localbus 模块、中断控制模块、错误处理模块、接收控制模块和发送控制模块；与上位机通

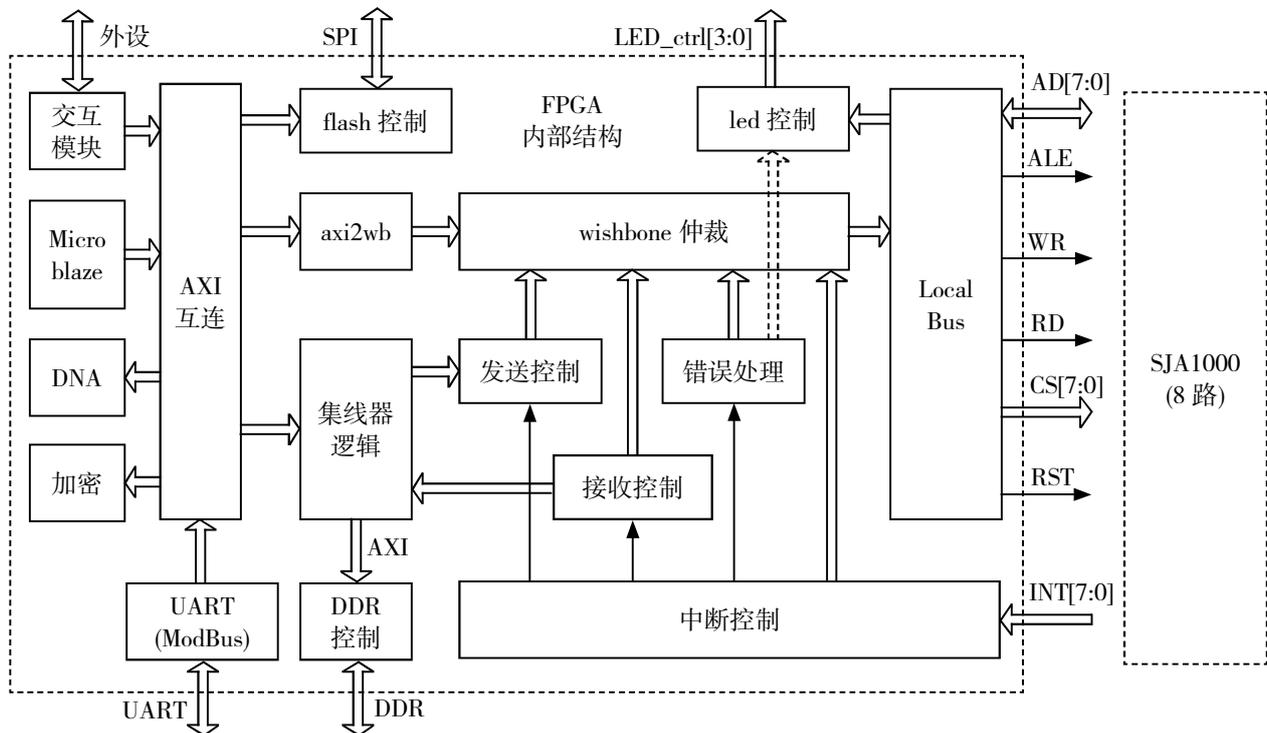


图 3 集线器内部详细结构

信主要有 ModBus 模块、交互模块、flash 控制模块和 Microblaze；加密部分主要有加密模块和 DNA 模块，加密信息存入 flash 中；axi2wb 模块主要实现 sja1000 的配置；集线器逻辑主要实现帧映射、路由转发和帧缓存等。

sja1000 配置和与上位机通信的各操作主要有 Microblaze 实现，Microblaze 软件控制流程如图 3，主要实现上电复位后对加密的验证；从 flash 读取设备序列号存入寄存器操作；初始化各通道 sja1000；外部按钮的处理和 USB 插入和拔出的处理等；对上位机发送命令的处理等。^[3-7]

3 结语

对于现有技术的控制方式，由于 ARM 处理速度受限制，当需要 8 路 CAN 通信同时使用的时候，经常出现丢帧、帧重复等错误，本设计采用 FPGA 作为主控，由于 FPGA 接收到中断只要几个时钟周期（几十 ns）就可以开始处理，而 ARM 收到中断需要指令跳转，而且还不止一次跳转，各种计算也是串行的，而 FPGA 中各种计算都是并行的，比如 ARM 接收到一帧的 1Byte 就要存储到内存，这个过程要先接收 1Byte 再写入内存，不能同时开始，而且写内存的时间也不短；而 FPGA 中在收到 1Byte 后存入寄存器（很快，一个时钟周期

=10ns），在写入缓存（其实写入缓存也很快）的同时就可以继续接收下 1Byte 了，大大提升了处理速度。

参考文献：

- [1] 陈在平. 现场总线及工业控制网络技术 [M]. 北京: 电子工业出版社, 2008.
- [2] 陈贻. ARM 嵌入式技术原理与应用 [M]. 北京: 北京航空航天大学出版社, 2011.
- [3] Richard Hughes-Jones, Peter Clarke and Steven Dallison. Performance of 1 and 10 Gigabit Ethernet cards with server quality motherboards [J]. Future Generation Computer Systems, 2005, 21(04): 469-488.
- [4] 郭慧玲, 刘羽, 魏文等. 基于 SJA1000 的 CAN 总线双机通讯技术的研究 [J]. 仪表技术与传感器, 2008(09): 46-49.
- [5] 尹光洪. 基于 CAN 总线的低功耗无线传感器网络研究与实现 [D]. 长沙: 国防科学技术大学, 2009.
- [6] 池敏捷. 基于 CAN 总线的分布式在线振动监测系统通讯网络设计 [D]. 天津: 天津大学, 2005.
- [7] 汪宏杰. CAN 协议及其在轿车车身控制中的应用 [J]. 上海电器技术, 2002(03): 34-37.